



ӘОЖ 004.052.42

ҒТАХА 49.03.05

[https://doi.org/10.53364/24138614\\_2026\\_40\\_1\\_19](https://doi.org/10.53364/24138614_2026_40_1_19)

Ұ.Е. Несіпқалиев<sup>1</sup>, Ж. Сайлауқызы<sup>2\*</sup>, З.Т. Хасенова<sup>1</sup>, А. З. Бигалиева<sup>2</sup>,  
Д. Р. Хамитов<sup>2</sup>

<sup>1</sup>Д. Серікбаев атындағы Шығыс Қазақстан техникалық университеті, Өскемен, Қазақстан

<sup>2</sup>Ә. Сағынов атындағы Қарағанды техникалық университеті, Қарағанды, Қазақстан

\*E-mail: [zhuldyzsailaukyzy@gmail.com](mailto:zhuldyzsailaukyzy@gmail.com)

### РАДИОЖҮЙЕЛЕРДЕ КӨПШЕКТІ ШЕКТІ ДЕКОДТАУ АЛГОРИТМДЕРІН АППАРАТТЫҚ ДЕҢГЕЙДЕ ІСКЕ АСЫРУ ЖӘНЕ ТАЛДАУ

***Аңдатпа.** Радиобайланыс жүйелерінде ақпаратты сенімді жеткізу мәселесі қателерді түзету алгоритмдерін жетілдірумен тікелей байланысты. Әсіресе төмен қуатты және нақты уақыт режимінде жұмыс істейтін радиожүйелер үшін есептеу күрделілігі мен аппараттық ресурстарды тиімді пайдаланатын әдістерді қолдану өзекті болып табылады. Осы тұрғыда көпшекті шекті декодтау (КШД) алгоритмдері дәстүрлі итерациялық декодтау тәсілдеріне балама ретінде қарастырылады. Мақаланың мақсаты радиобайланыс арналары үшін көпшекті шекті декодтау алгоритмдерін аппараттық деңгейде іске асыру тәсілдерін зерттеу және олардың тиімділігін талдау. Зерттеу нысаны ретінде қателерді түзету жүйесінің кодер және декодер блоктары алынды. Зерттеу барысында цифрлық жобалау, аппараттық модельдеу және эксперименттік тексеру әдістері қолданылды. КШД алгоритмі Altera Cyclone IV EP4CE6E22C8N FPGA платформасында аппараттық түрде іске асырылып, зертханалық жағдайда тексерілді. Эксперимент нәтижелері 20 итерация кезінде қателік ықтималдығының  $10^{-8}$  деңгейіне дейін төмендейтінін көрсетті. Сонымен қатар, алынған аппараттық шешім LDPC және Turbo-кодтармен салыстырғанда FPGA ресурстарын шамамен 40% аз пайдаланып, қуат тұтынуды төмендететіні анықталды. Зерттеу нәтижелері көпшекті шекті декодтау алгоритмдерінің радиобайланыс жүйелерінде, әсіресе төмен қуатты және нақты уақыттағы қолданбаларда тиімді қолданылу мүмкіндігін дәлелдейді. Ұсынылған әдіс ресурстық үнемділігі мен жоғары сенімділігімен ерекшеленеді.*

***Түйін сөздер:** декодтау, арналық кодтау, көпшекті шекті декодтау, кедергіге төзімді кодтау, FPGA, радиобайланыс, телекоммуникациялар.*

#### **Кіріспе.**

Қазіргі радиобайланыс жүйелерінің негізгі талаптарының бірі ақпаратты жоғалтпай және сенімді түрде жеткізу болып табылады [1, 2]. Деректер радиоарна арқылы таралған кезде аддитивті шуылдардың, көпсәулелі таралудың және кедергілердің әсері артып, қабылданған сигналдағы қателік ықтималдығы едәуір ұлғаяды. Бұл жағдай әсіресе мобильді, спутниктік және сымсыз кеңжамақты байланыс жүйелерінде айқын байқалады [3, 4]. Сондықтан қателерді түзету алгоритмдерін жетілдіру радиобайланыс жүйелерінің тиімділігін арттырудағы негізгі ғылыми-техникалық міндеттердің бірі болып қала береді.

Қазіргі уақытта жоғары өнімділігіне байланысты LDPC (Low-Density Parity-Check) және Turbo-кодтар 5G LTE, DVB-S2, WiMAX және басқа да заманауи байланыс

стандарттарында кеңінен қолданылады [5]. Алайда бұл кодтардың негізгі кемшілігі олардың аппараттық іске асырылуының күрделілігі. Итерациялық декодтау алгоритмдері үлкен көлемдегі жадыны, күрделі есептеу блоктарын талап етеді және қуат тұтыну деңгейі жоғары болып келеді. Осы себепті оларды нақты уақыт режимінде іске асыру үшін ASIC немесе жоғары өнімді FPGA платформаларын қолдану қажет, бұл өз кезегінде жүйенің құнын арттырады және энергия тиімділігін төмендетеді.

Классикалық VCH және Рид–Соломон кодтары деректерді сақтау жүйелерінде, оптикалық тасымалдағыштарда, флеш-жадта және спутниктік байланыста кеңінен қолданылады. Бұл кодтар аппараттық тұрғыда қарапайым болғанымен, қателерді түзету қабілеті заманауи радиобайланыс арналары үшін жеткіліксіз болып табылады және жоғары шуыл жағдайларында тиімділігін жоғалтады.

Соңғы жылдары жүргізілген зерттеулер көпшекті шекті декодтау әдістерінің перспективалы бағыт екенін көрсетті [6]. Бұл әдістер сөнетін (fading) және аддитивті шуылы бар арналарда қателерді тұрақты түрде түзете отырып, салыстырмалы түрде төмен аппараттық күрделілік пен энергия тұтынуды қамтамасыз етеді. Әсіресе екілік емес кодтар үшін көпшекті шекті декодтау алгоритмдері жоғары өнімділікке қол жеткізе отырып, регистрлік құрылымдар мен қарапайым логикалық элементтерге негізделген аппараттық іске асыруға мүмкіндік береді [7]. Осы қасиеттері КШД әдістерін төмен қуатты, нақты уақыттағы радиобайланыс жүйелері үшін тартымды балама ретінде қарастыруға негіз болады.

Осыған байланысты көпшекті шекті декодтау алгоритмдерін радиобайланыс арналарына бейімдеу тек сенімділікті арттырып қана қоймай, сонымен қатар аппараттық ресурстарды үнемдеуге және энергия тиімді жүйелерді құруға мүмкіндік береді.

Зерттеудің мақсаты Altera компаниясының FPGA платформасында көпшекті шекті кодер мен декодерді аппараттық деңгейде құрастыру және олардың жұмыс қабілетін тәжірибелік сынақтар арқылы бағалау болып табылады. Зерттеу барысында радиоарна арқылы берілетін және қабылданатын деректер ағынындағы қателерді тиімді түзете алатын құрылғыларды әзірлеу және ұсынылған шешімнің заманауи қателерді түзету әдістерімен салыстырмалы талдауын жүргізу міндеттері қойылды.

### **Материалдар мен зерттеу әдістері.**

Зерттеу барысында радиобайланыс жүйелерінде қолдануға арналған көпшекті шекті кодтау және декодтау әдістерін талдау үшін алгоритмдік, бағдарламалық және аппараттық деңгейлерді біріктіретін кешенді әдіснама қолданылды [8]. Көпшекті шекті кодер ақпараттық блоктарды қабылдап, олардан қателерді бақылауға арналған тексеру биттерін қалыптастыруға арналған. Кодер құрылымдық тұрғыда сегіз ақпараттық (I) және екі тексеру (P) ығысу регистрінен тұрады, олардың әрқайсысының ұзындығы N битке тең. Бұл жұмыста ақпараттық блоктың өлшемі мен аппараттық ресурстар арасындағы оңтайлы тепе-теңдікті қамтамасыз ету мақсатында N=400 мәні таңдалды.

Кодер үздіксіз режимде жұмыс істейді. Деректер көзі ұзындығы 8N бит болатын ақпараттық блоктарды  $f_1$  жиілігімен қалыптастырады. Алдымен бұл блок кіріс буферіне жазылады, содан кейін оның биттері кодердің сегіз ақпараттық регистріне бірізді түрде енгізіледі. Бұл операция кодердің ішкі жұмыс жиілігі  $f_2$  арқылы орындалады. Ақпараттық блок толық енгізілгеннен кейін регистрлер циклдік ығысу режиміне көшеді.

Осы кезеңде тексеру биттерін есептеу жүзеге асырылады. Ығысу операциясы N такт бойы жүргізіледі, әр такт сайын әрбір ақпараттық регистрден алдын ала анықталған позициялардағы биттер алынып, полином түрінде біріктіріледі. Бұл полиномдар көпшекті шекті кодтаудың математикалық негізін құрайды және жалпы түрде келесі өрнекпен сипатталады:

$$G_{ij} = (b_{ij}^1 + b_{ij}^2 + b_{ij}^3 + b_{ij}^4) \bmod 2 \quad (1)$$

мұндағы  $b_{ij}^m$  -ақпараттық регистрдің төрт түрлі позициясындағы биттер. Осылайша әрбір ақпараттық регистрден екі полином, барлығы 16 полином алынады. Олар тексеру регистрлерінде жинақталып, қателерді бақылауға арналған тексеру биттерін құрайды. Бұл нақты іске асыруда полиномдарды қалыптастыру үшін ақпараттық регистрлердің келесі биттері пайдаланылады:

$$\begin{aligned} G_{11} &= (0, 16, 73, 177), G_{12} = (0, 17, 40, 195), \\ G_{21} &= (0, 9, 47, 187), G_{22} = (5, 35, 97, 185), \\ G_{31} &= (0, 7, 66, 106), G_{32} = (9, 27, 99, 180), \\ G_{41} &= (0, 11, 53, 190), G_{42} = (3, 78, 146, 171), \\ G_{51} &= (0, 45, 127, 171), G_{52} = (7, 49, 101, 190), \\ G_{61} &= (0, 22, 78, 192), G_{62} = (11, 38, 107, 183), \\ G_{71} &= (0, 26, 81, 184), G_{72} = (13, 80, 112, 198), \\ G_{81} &= (0, 18, 68, 180), G_{82} = (15, 46, 157, 192). \end{aligned} \quad (2)$$

Полиномдарды қалыптастыру формула (1) және (2)-ге сәйкес VHDL тілінде жүзеге асырылды. Әрбір ақпараттық регистрден алынған биттердің комбинациясы XOR операциясы арқылы біріктіріліп, бақылау биттерін құрайды. Төменде  $G_{11}$  және  $G_{12}$  полиномдарының аппараттық сипаттамасыны берілген:

```
g11 <= data (0) XOR data (16) XOR data (73) XOR data (177);
g12 <= data (0) XOR data (17) XOR data (40) XOR data (195);
```

Мұндағы сандар регистрден алынатын биттердің реттік нөмірлерін көрсетеді. Әрбір тексеру регистрінің  $j$ -ші биті  $n$ -ші ығысу тактінде келесі өрнек бойынша анықталады:

$$P_{jn} = (G_{1j} + G_{2j} + G_{3j} + G_{4j} + G_{5j} + G_{6j} + G_{7j} + G_{8j} +) \bmod 2 \quad (3)$$

Осылайша, тексеру биттері әр такт сайын есептеліп, қателерді бақылауға арналған артық ақпаратты қамтамасыз етеді. Кодтау процесі аяқталғаннан кейін кодердің шығыс буферіне ұзындығы  $10 \cdot N$  бит болатын тізбек жазылады. Бұл тізбекке ақпараттық және тексеру биттері кіреді. Кодер келесі блокты қабылдауға дайын болғанға дейін осы кодтық тізбек радиоарнаға жіберіледі. Жіберу жиілігі  $f_3$ -ке тең және үздіксіз режимде орындалады, мұнда тексеру биттері бірінші болып беріледі. Әрбір ақпараттық блоктың өңделуі уақыт жағынан қатаң синхрондалған. Кіріс буферіне  $8 \cdot N$  бит деректер  $f_1$  жиілігімен қабылданады. Бұл мәліметтер регистрлерге  $f_2$  жиілігімен енгізіледі, содан кейін  $N$  такт ішінде тексеру биттері қалыптасады. Одан әрі  $10 \cdot N$  бит шығыс буферіне жазылып, арнаға  $f_3$  жиілігі бойынша беріледі. Осы үдерістердің арасындағы уақытша үйлесімділік төмендегі қатынасқа бағынады:

$$T_{f_1} = \frac{19}{8} T_{f_2} = \frac{10}{8} T_{f_3} \quad (4)$$

мұндағы  $T$  — такт ұзақтығы, ол әрбір кезеңнің жиілігіне кері пропорционал.

Көпшекті шекті декодер радиоарна арқылы қателермен қабылданған кодтық тізбекті өңдеуге және бастапқы ақпаратты қалпына келтіруге арналған. Декодер сегіз ақпараттық ығысу регистрінен (I), екі тексеру регистрінен (P) және сегіз разностық регистрден (D) тұрады. Сонымен қатар декодер құрамында синдром векторларын есептейтін логикалық схемалар, сенімділік шамаларын анықтайтын құрылғылар (V), шекті элементтер және итерацияларға сәйкес шекті мәндерді сақтайтын жады (T) бар.

Алдымен декодер кіріс буферіне ұзындығы  $10N$  бит болатын кодтық блок қабылдайды. Бұл блоктар радиоарнадағы аддитивті шу мен басқа да бұрмаланулар әсерінен қателерді қамтуы мүмкін. Мәліметтер алдымен тексеру биттері ретінде қабылданып, кейін толық блок  $P$  және  $I$  регистрлеріне жазылады.

Осыдан кейін барлық регистрлер циклдік ығысу режиміне көшеді және синдром биттері есептеле бастайды. Бұл процесс  $N$  такт ішінде  $f_4$  жиілігімен орындалады. Разностық регистрлер бастапқыда нөлге теңестіріледі. Әрбір синдромдық бит кодерде қолданылған полиномдарға толық сәйкес келетін өрнек арқылы есептеледі:

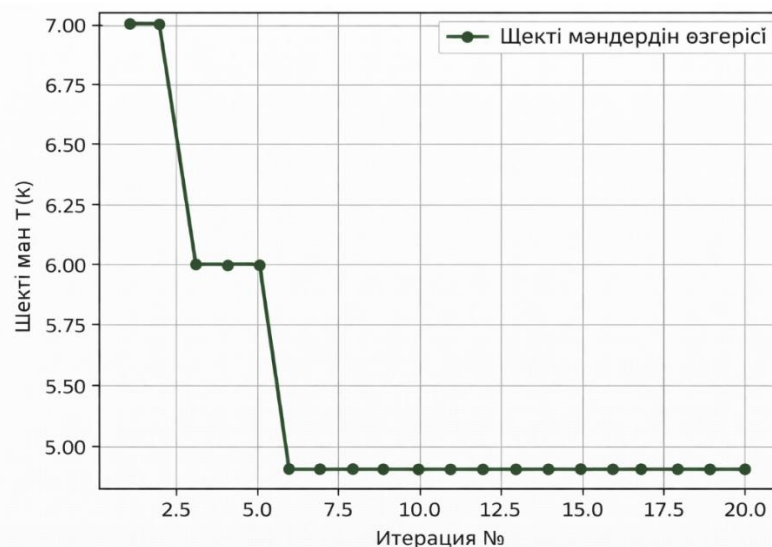
$$S_{jn} = ((G_{1j} + G_{2j} + G_{3j} + G_{4j} + G_{5j} + G_{6j} + G_{7j} + G_{8j} + P_{jn})) \bmod 2 \quad (5)$$

Мұнда  $G_{ij}$  - ақпараттық регистрден алынған полином, ал  $P$  — тиісті тексеру биты.

Синдромдар қалыптасқаннан кейін декодер итеративті шекті қателерді түзету режиміне көшеді. Әр итерация барысында барлық сегіз ақпараттық регистрдің ағымдағы биттері үшін сенімділік шамалары есептеледі. Бұл шамалар разностық регистрлердің ағымдағы мәндері мен синдромдық комбинациялардан алынған биттердің қосындысы арқылы анықталады:

$$V_i = D_i + \sum_{j=1}^2 (b_{ij}^1 + b_{ij}^2 + b_{ij}^3 + b_{ij}^4) \quad (6)$$

Есептелген  $V_i$  мәні итерацияға сәйкес берілген шекті мәнмен ( $T_k$ ) салыстырылады. Егер  $V_i > T_k$ , болса, онда сәйкес ақпараттық бит инверсияланады, сонымен қатар оған байланысты разностық және синдромдық регистрлердің мәндері өзгереді. Егер  $V_i < T_k$  болса, бит өзгеріссіз қалады. Бұл процесс  $K=20$  итерация бойы қайталанады, әр итерация ұзақтығы  $N$  тактке тең. Алғашқы итерациялар кезінде шекті мәндер жоғары болып, айқын қателер түзетіледі. Кейінгі итерациялар кезінде шекті мәндер азайып, қалған қателер біртіндеп жойылады. Сурет 1-де итеративті көпшектегі шекті декодтау кезінде қолданылатын шекті мәндердің итерациялар бойынша сатылы түрде өзгеруі көрсетілген. Алғашқы итерацияларда жоғары шек ( $T=7$ ) қолданылып, айқын қателер түзетіледі, ал кейінгі итерацияларда шекті мәнің төмендеуі ( $T=6$ ,  $T=5$ ) қалдық қателерді жоюды қамтамасыз етеді. Мұндай бейімделмелі стратегия декодтау процесінің тұрақты жинақталуына мүмкіндік береді.



Сурет 1 – Шекті мәндердің итерациялар бойынша өзгеру заңдылығы

*Аппараттық іске асыруға арналған элементтік базаны таңдау.* Ұсынылған көпшекті шекті кодтау және декодтау алгоритмдерін аппараттық деңгейде іске асыру үшін қолданылатын элементтік базаны таңдау зерттеу әдіснамасының маңызды құрамдас бөлігі болып табылады. Себебі итеративті шекті декодтау алгоритмдері регистрлік құрылымдардың көп санын, параллель логикалық операцияларды және қатаң уақыттық синхрондауды талап етеді. Сондықтан таңдалатын аппараттық платформа алгоритмнің функционалдық талаптарын қанағаттандырып қана қоймай, сонымен қатар өнімділік, ресурстық үнемділік және энергия тұтыну тұрғысынан да оңтайлы болуы қажет.

Осы талаптарды ескере отырып, әртүрлі FPGA платформаларына салыстырмалы талдау жүргізілді. Талдау барысында логикалық элементтер саны, кірістірілген жады көлемі, тактілік жиіліктің шектік мәндері, енгізу/шығару порттарының саны, қуат тұтыну деңгейі және жобалау құралдарының қолжетімділігі негізгі критерийлер ретінде қарастырылды. Нәтижесінде зертханалық және тәжірибелік жобалар үшін баға/өнімділік арақатынасы тұрғысынан ең тиімді шешім ретінде Intel (Altera) Cyclone IV сериясы таңдалды [9, 10].

Cyclone IV сериясының негізгі артықшылықтарының бірі орташа күрделіліктегі цифрлық сигналдарды өңдеу алгоритмдерін іске асыруға жеткілікті логикалық ресурстардың болуы. Көпшекті шекті декодтау алгоритмінде сегіз ақпараттық регистр, екі тексеру регистрі, сегіз разностық регистр, синдромдарды есептеу логикасы, шекті элементтер және итерациялық басқару блоктары қолданылады. Бұл құрылымдардың барлығы регистрлік жады мен XOR типті логикалық элементтерге негізделген, ал Cyclone IV сериясы дәл осындай құрылымдарды тиімді жүзеге асыруға бейімделген.

Сонымен қатар, итеративті декодтау кезінде шекті мәндердің итерациялар бойынша өзгеруі (Сурет 1) басқару логикасын және қосымша жады элементтерін талап етеді. Cyclone IV FPGA құрамындағы кірістірілген жады блоктары шекті мәндерді сақтау және оларды итерациялар бойынша таңдау үшін жеткілікті көлемде ұсынылады. Бұл шекті басқару алгоритмін қосымша сыртқы жадысыз іске асыруға мүмкіндік береді, нәтижесінде жүйенің сенімділігі мен жылдамдығы артады.

Зерттеу барысында нақты Altera Cyclone IV EP4CE6E22C8N микросұлбасы таңдалып алынды. Бұл микросұлбаның негізгі техникалық сипаттамалары 1-кестеде келтірілген.

Кесте 1 – Altera Cyclone IV EP4CE6E22C8N микросұлбасының негізгі сипаттамалары

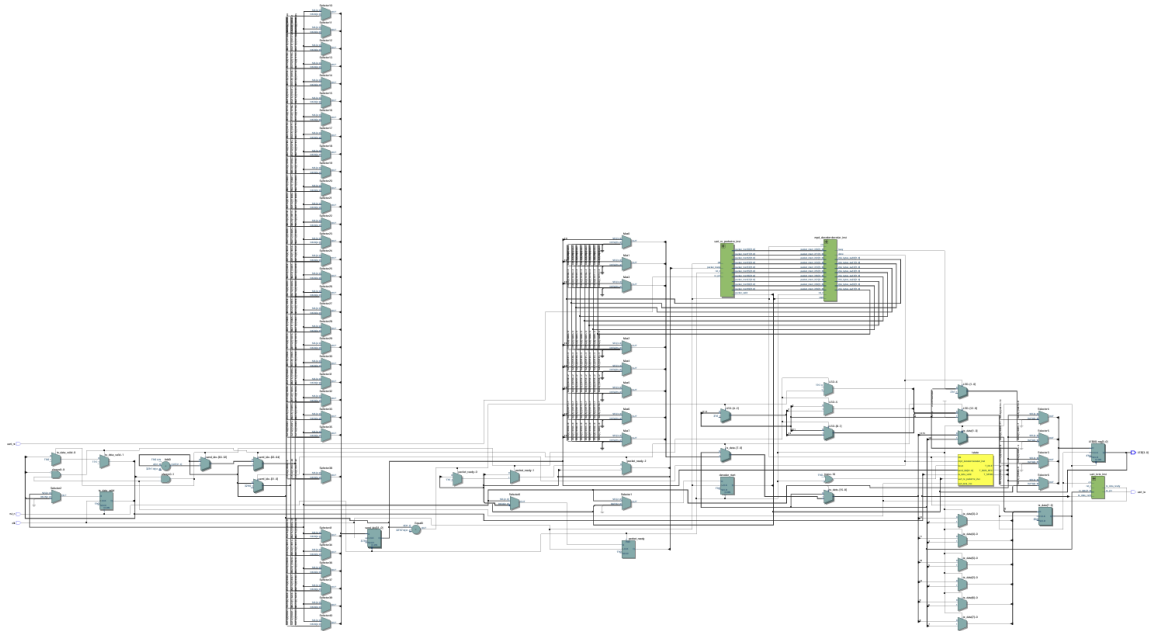
Параметр	Мәні
Логикалық элементтер саны	6 272
Кірістірілген жады көлемі	270 Кбит
PLL саны	2
Максималды жұмыс жиілігі	150–200 МГц
Енгізу/шығару порттарының саны (I/O)	91
Қуат тұтыну деңгейі	Төмен
Жобалау ортасы	Quartus II, ModelSim-Altera

Алгоритмдік деңгейде сипатталған көпшекті шекті декодтау әдісін аппараттық деңгейде іске асыру үшін декодердің құрылымдық сұлбасы әзірленді. Сурет 2-де көпшекті шекті декодердің FPGA негізіндегі аппараттық құрылымдық сұлбасы көрсетілген. Сұлба Quartus II жобалау ортасында RTL деңгейінде әзірленіп, декодтау алгоритмінің регистрлік-логикалық архитектурасын толық бейнелейді. Құрылым сегіз ақпараттық ығысу регистрінен (I), екі тексеру регистрінен (P) және сегіз разностық регистрден (D) тұрады. Бұл регистрлер итеративті декодтау процесінде ақпараттық биттердің күйін, тексеру ақпаратын және бит инверсияларының тарихын сақтау үшін қолданылады.

Сұлбаның орталық бөлігінде синдромдарды есептеу торабы орналасқан. Бұл торап ақпараттық регистрлерден алынатын биттерді полиномдық байланыстарға сәйкес біріктіріп, XOR логикалық элементтері арқылы синдром векторларын қалыптастырады. Синдромдарды есептеу құрылымы кодерде қолданылған полиномдармен толық сәйкестендірілген, бұл декодтау процесінің дұрыстығын қамтамасыз етеді.

Разностық регистрлер мен синдром блоктарынан алынған мәліметтер шекті элементтерге беріледі. Әрбір шекті элемент ағымдағы ақпараттық бит үшін есептелген сенімділік шамасын берілген шекті мәнмен салыстырады. Егер сенімділік деңгейі шектен асса, сәйкес бит инверсияланып, оған байланысты синдромдық және разностық регистрлердің мәндері жаңартылады. Бұл механизм итеративті шекті декодтау алгоритмінің негізгі аппараттық іске асырылуын құрайды.

Сұлбада сондай-ақ итерацияларды басқару логикасы және шекті мәндерді таңдау блогы көрсетілген. Бұл блок итерация номеріне сәйкес шекті мәндерді таңдап, декодтау процесінің бейімделмелі сипатын қамтамасыз етеді (Сурет 2). Барлық функционалдық блоктардың жұмысы тактілік сигналдар арқылы синхрондалып, нақты уақыт режимінде декодтауды жүзеге асыруға мүмкіндік береді. Сұлбаның функционалдық дұрыстығы ModelSim-Altera ортасында модельдеу арқылы тексерілді.



Сурет 2 – Көпшекте шекті декодердің FPGA негізіндегі аппараттық құрылымдық сұлбасы

*Техникалық іске асыру.* Көпшекте шекті декодтау алгоритмінің жұмыс қабілетін тәжірибелік тұрғыда тексеру және оның аппараттық деңгейде іске асырылу мүмкіндігін бағалау мақсатында Cyclone IV EP4CE6E22C8N FPGA микросұлбасы негізінде кодер мен декодердің толық функционалдық прототипі әзірленді. Аппараттық іске асыру параметрлерін таңдау кезінде радиобайланыс жүйелеріне тән деректер ағыны, нақты уақыт режимінде өңдеу талаптары және FPGA ресурстарының шектеулілігі ескерілді.

Зерттеу барысында кодтық жылдамдық  $R = 8/10$  болатын көпшекте шекті код таңдалып алынды. Бұл мән ақпараттық биттер мен тексеру биттері арасындағы оңтайлы арақатынасты қамтамасыз етіп, арнаның өткізу қабілетін айтарлықтай төмендетпей, жеткілікті деңгейде қателерді түзетуге мүмкіндік береді. Кодтық қашықтықтың  $d = 9$  болуы декодердің минималды қателерді түзету қабілетін қамтамасыз етеді және итеративті шекті декодтау алгоритмінің жинақталу қасиеттерін жақсартады. Ақпараттық блоктың ұзындығы

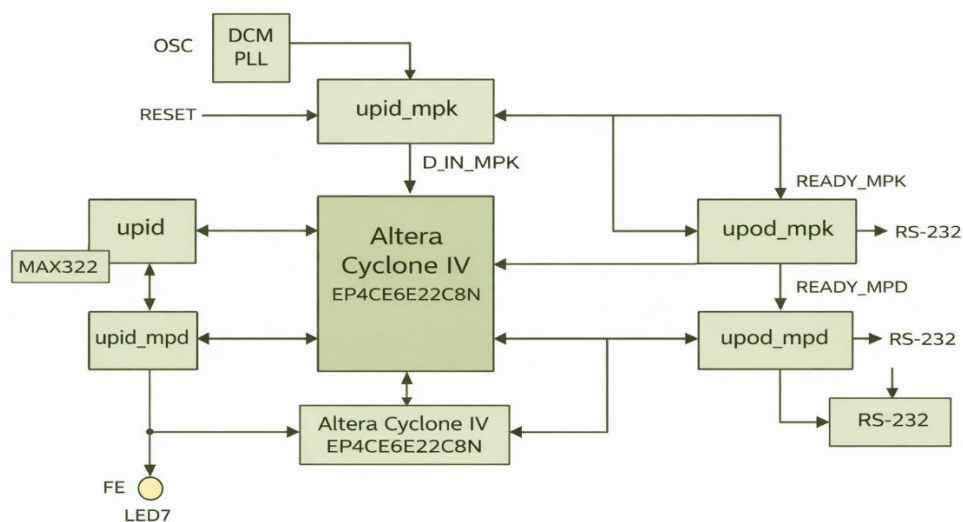
$N = 400$  бит деп алынды, бұл бір жағынан аппараттық ресурстарды үнемдеуге, екінші жағынан қателерді түзету тиімділігін арттыруға мүмкіндік берді.

Итеративті декодтау процесіндегі итерациялар саны  $K = 20$  болып таңдалды. Бұл мән алдын ала жүргізілген тәжірибелік сынақтардың нәтижелері негізінде анықталды. Тәжірибе көрсеткендей, алғашқы 10–15 итерациядан кейін декодтау нәтижесі тұрақтана бастайды, алайда қосымша итерациялар қалдық қателердің санын азайтуға оң әсер етеді. Таңдалған итерациялар саны FPGA ресурстарын шамадан тыс арттырмай, қателерді түзетудің қажетті деңгейін қамтамасыз етеді.

$N$  және  $K$  параметрлері FPGA ресурстары, кідіріс және BER арасындағы компромисс қағидасымен таңдалды.  $N$  мәні өскен сайын (мысалы,  $N > 400$ ) синдром есептеу мен разностық регистрлер көлемі ұлғайып, жады мен логикалық элементтер жүктемесі артады, нәтижесінде тактілік жиілікті тұрақты ұстап тұру қиындайды. Ал  $N$  тым кіші болғанда (мысалы,  $N < 400$ ) кодтық жинақталу тиімділігі төмендеп, бірдей  $P_0$  жағдайында BER-ді қажетті деңгейге түсіру үшін итерациялар саны көбейеді. Осы себепті тәжірибелік сынақтарда  $N=400$  мәні ресурс, кідіріс, сенімділік тұрғысынан оңтайлы болып анықталды. Итерациялар саны  $K$  таңдауы да дәл осы принциппен анықталды, алғашқы итерацияларда BER айтарлықтай тез төмендейді, ал 15-итерациядан кейін жақсару қарқыны бәсеңдейді (diminishing returns).  $K > 20$  болған жағдайда BER жақсаруы мардымсыз болғанымен, өңдеу уақыты мен энергия тұтынуы өседі. Сондықтан  $K=20$  мәні нақты уақыт режимі мен төмен қуат талабын сақтай отырып,  $BER \approx 10^{-8}$  нәтижесіне жеткізетін тәжірибелік тұрғыдан оңтайлы мән ретінде қабылданды.

Аппараттық прототипте деректерді сыртқы құрылғылармен алмасу үшін RS-232 тізбекті интерфейсі қолданылды. Бұл интерфейс тәжірибелік тексерулер кезінде сенімділігімен және қарапайым іске асырылуымен ерекшеленеді. Сигнал деңгейлерін сәйкестендіру үшін MAX3232 түрлендіргіш микросұлбасы пайдаланылды. Құрылғы құрамына басқару батырмалары (RESET, PROG) және жұмыс күйін индикациялайтын жарықдиодтар (READY, FE) енгізілді, олар жүйенің күйін бақылауға және қажет болған жағдайда құрылғыны қайта жүктеуге мүмкіндік береді.

Құрылғының жалпы функционалдық құрылымы Сурет 3-те көрсетілген. Сұлбада тактілік сигналдарды қалыптастыратын PLL модулі, кіріс деректерін қабылдауға арналған upid\_mrk және upid\_mpd блоктары, шығыс деректерін жіберетін upod\_mrk және upod\_mpd блоктары, сондай-ақ негізгі есептеу модульдері - unit\_mrk (кодер) және unit\_mpd (декодер) бейнеленген. Барлық блоктардың жұмысы бірыңғай тактілік жүйе арқылы синхрондалып, деректердің үздіксіз өнделуін қамтамасыз етеді.



Сурет 3 – Құрылғының жалпы функционалдық сұлбасы

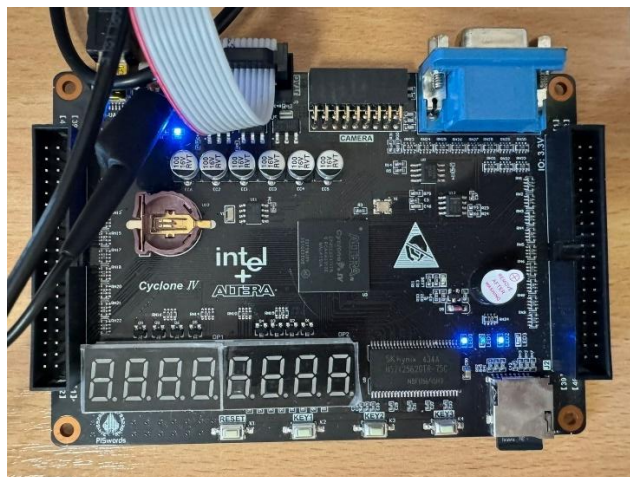
Uprid блоктары RS-232 интерфейсі арқылы келіп түскен деректерді қабылдап, оларды FIFO буферлерінде жинақтайды. Бұл блоктар құрамындағы басқару автоматтары, санауыштар және компараторлар деректерді қабылдау және беру процестерінің уақыттық сәйкестігін қамтамасыз етеді. Uprd блоктары кодер мен декодерден алынған деректерді қалыптастырып, оларды тізбекті интерфейс арқылы сыртқы құрылғыларға жібереді.

Unit\_mrk модулі сегіз ақпараттық және екі тексеру регистрінен тұрады. Бұл модульде алдын ала анықталған полиномдық байланыстарға сәйкес XOR логикалық элементтері арқылы тексеру биттері қалыптастырылады. Unit\_mprd модулі көпшекті шекті декодтау алгоритмін жүзеге асыратын негізгі есептеу блогы болып табылады. Ол ақпараттық, синдромдық және разностық регистрлерден, сондай-ақ шекті элементтерден тұрады. Әр итерацияда есептелген сенімділік шамалары шекті мәндермен салыстырылып, қажетті жағдайда ақпараттық биттер инверсияланады. Итерациялар саны артқан сайын қалдық қателер біртіндеп азайып, қабылданған ақпараттың дұрыстығы қалпына келтіріледі.

Ұсынылған аппараттық шешім таңдалған параметрлер кезінде көпшекті шекті декодтау алгоритмін нақты уақыт режимінде іске асыруға мүмкіндік беретінін және радиобайланыс жүйелерінде қолдануға жарамды екенін тәжірибелік түрде көрсетті.

#### **Нәтижелер және оларды талқылау.**

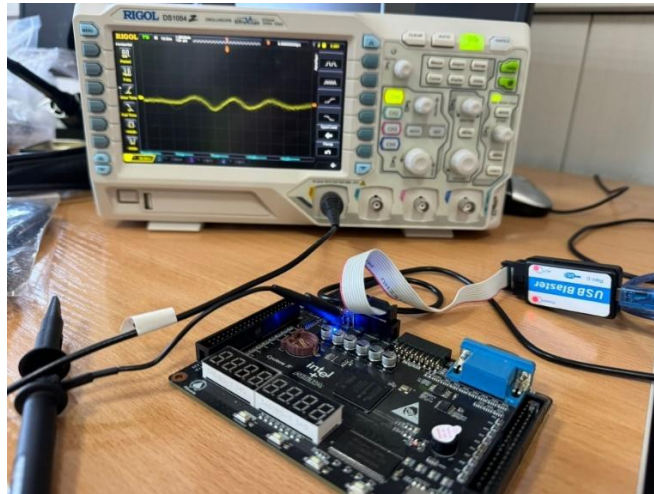
Ұсынылған көпшекті шекті декодтау алгоритмінің аппараттық іске асырылу тиімділігін бағалау мақсатында Cyclone IV EP4CE6E22C8N FPGA платформасы негізінде тәжірибелік стенд құрылды. Эксперименттік қондырғы құрамына FPGA негізіндегі кодер-декодер модулі, деректерді генерациялау және қабылданған ақпаратты талдау үшін қолданылатын екі дербес компьютер кірді (Сурет 4).



Сурет 4 – Cyclone IV EP4CE6E22C8N негізіндегі тәжірибелік стендтің жалпы көрінісі

FPGA құрылғысы компьютерлермен RS-232 интерфейсі арқылы байланыстырылды, ал сигнал деңгейлерін сәйкестендіру үшін MAX3232 түрлендіргіші пайдаланылды. Құрылғы конфигурациясы тұрақты жадыдан автоматты түрде жүктеліп, жүйе іске қосылғаннан кейін қосымша баптауды талап етпейді. Бұл тәсіл эксперименттердің қайталанғыштығын қамтамасыз етеді. Радиоарнаның әсерін модельдеу үшін аддитивті ақ гаусстық шу (AWGN) қолданылды, себебі бұл модель сандық радиобайланыс жүйелерін зерттеуде кеңінен пайдаланылады. Сонымен қатар, көпсәулелі таралу жағдайларын ескеру мақсатында Rayleigh fading моделінде қосымша сынақтар жүргізілді. Эксперименттер барысында шудың дисперсиясы өзгертіліп, бастапқы қателік ықтималдығы  $P_0=0,005 \div 0,017$  аралығында таңдалды. Әрбір сынақта кемінде  $10^6$  биттен тұратын деректер тізбегі өңделіп, декодтау нәтижесіндегі қалдық қателер саны тіркелді.

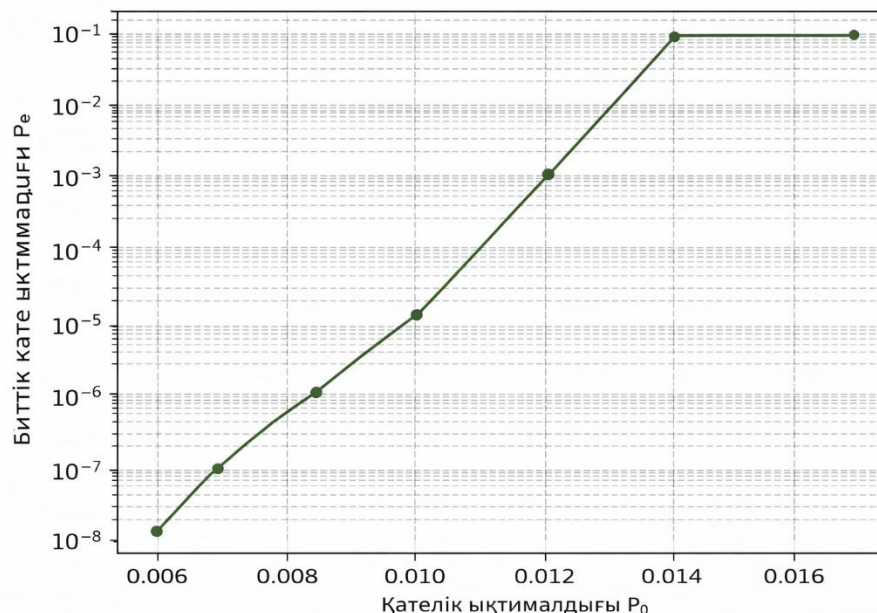
FPGA құрылғысының уақыттық және сигналдық сипаттамаларын бақылау үшін цифрлық осциллограф қолданылды. Тактілік сигналдардың тұрақтылығы, деректерді беру сәттері және басқару сигналдарының уақытша үйлесімділігі тексерілді (Сурет 5).



Сурет 5 – FPGA құрылғысындағы тактілік және деректер сигналдарының осциллограммасы

Өлшеу нәтижелері кодтау және декодтау процестерінің берілген тактілік жиіліктерде тұрақты жұмыс істейтінін көрсетті. Итеративті декодтау барысында уақытша кідірістердің жиналуы байқалмады, бұл алгоритмнің нақты уақыт режимінде іске асырылу мүмкіндігін растайды.

*Қателік ықтималдығы және декодтау тиімділігі.* Көпшекті шекті декодердің тиімділігі әртүрлі арна жағдайларында зерттеліп, оның биттік қателік ықтималдығына (BER) әсері талданды. Эксперимент нәтижелері негізінде көпшекті шекті декодтаудың ықтималдық сипаттамалары тұрғызылды (Сурет 6).



Сурет 6 – Көпшекті шекті декодердің ықтималдық сипаттамалары

Нәтижелер көрсеткендей, бастапқы қателік ықтималдығы  $P_0 \approx 0,007$  болған жағдайда, көпшекті шекті декодтау алгоритмінің шығысындағы биттік қателік ықтималдығы  $BER \approx 10^{-8}$  деңгейіне дейін төмендейді. Бұл нәтиже ұсынылған әдістің салыстырмалы түрде аз итерациялар саны кезінде ( $K=20$ ) жоғары қателерді түзету қабілетіне ие екенін көрсетеді.

Итерациялардың алғашқы кезеңдерінде жоғары шекті мәндердің қолданылуы айқын қателерді жылдам түзетуге мүмкіндік береді, ал кейінгі итерацияларда шекті мәндердің біртіндеп төмендеуі қалдық қателерді жоюды қамтамасыз етеді. Мұндай бейімделмелі стратегия декодтау процесінің тұрақты жинақталуына ықпал етеді және көпшекті шекті декодтаудың радиобайланыс арналары үшін тиімділігін дәлелдейді.

Алынған ықтималдық сипаттамалары көпшекті шекті декодтаудың қателерді түзету қабілетінің жоғары екенін көрсеткенімен, ұсынылған әдістің артықшылықтарын толық бағалау үшін оны кеңінен қолданылатын итеративті кодтармен салыстыру қажет. Осы мақсатта LDPC және Turbo-кодтармен салыстырмалы талдау жүргізіліп, негізгі өнімділік, аппараттық күрделілік және энергия тұтыну көрсеткіштері бойынша нәтижелер Кесте 2-де келтірілді.

Кесте 2 – Көпшекті шекті декодтаудың басқа кодтармен салыстырмалы талдауы

Параметр	LDPC кодтары	Turbo-кодтар	КШД (FPGA)
Итерациялар саны	50–100	50–100	20
BER деңгейі	$\sim 10^{-6}$	$\sim 10^{-7}$	$\sim 10^{-8}$
Аппараттық күрделілік	Өте жоғары (көп жады, күрделі байланыстар)	Жоғары	Орташа
Логикалық ресурстарды пайдалану (FPGA)	>70%	>65%	≈40%
Қуат тұтыну	Жоғары	Жоғары	Төмен
Нақты уақыт режимі	Қиын	Шектеулі	Толық қамтамасыз етіледі
Қолдану саласы	LTE, DVB-S2, 5G	3G, LTE	IoT, радиобайланыс, ендірілген жүйелер

Кесте 2-де келтірілген салыстырмалы талдау нәтижелерінен көрініп тұрғандай, ұсынылған көпшекті шекті декодтау әдісі дәстүрлі LDPC және Turbo-кодтармен салыстырғанда итерациялар санының едәуір аздығымен сипатталады. Атап айтқанда, қажетті түзету сапасына  $K=20$  итерацияда қол жеткізіледі, ал LDPC және Turbo-кодтар үшін бұл көрсеткіш 50–100 итерацияны құрайды. Сонымен қатар, Cyclone IV FPGA платформасында жүзеге асыру кезінде логикалық ресурстарды пайдалану деңгейі шамамен 40% көлемінде қалып, бұл көрсеткіш балама итеративті кодтармен салыстырғанда айтарлықтай төмен екені байқалады.

#### Қорытынды.

Зерттеуде AWGN және Rayleigh fading арналары қолданылды, себебі олар радиобайланыс жүйелерін бағалауда кең таралған базалық модельдер болып табылады. Дегенмен практикалық қолданбаларда тікелей көрінетін компоненті бар арналар (Rician fading) немесе көпсәулелі таралу қарқындылығы әртүрлі сценарийлер (Nakagami-m fading) жиі кездеседі. Сондықтан болашақ зерттеулерде ұсынылған көпшекті шекті декодердің параметрлерін ( $K$ ,  $T_k$  стратегиясы,  $N$ ) осы арна модельдеріне бейімдеу және BER, ресурс, энергия көрсеткіштері бойынша салыстырмалы талдау жүргізу жоспарланады.

Зерттеуде радиобайланыс жүйелеріне арналған көпшекті шекті декодтау алгоритмдерін аппараттық деңгейде іске асыру және олардың тиімділігін талдау мәселелері қарастырылды. Зерттеу барысында көпшекті шекті кодер мен декодер Altera Cyclone IV EP4CE6E22C8N FPGA платформасында толық аппараттық түрде жүзеге асырылып, зертханалық жағдайда тәжірибелік сынақтардан өткізілді.

Эксперименттік нәтижелер ұсынылған алгоритмнің аддитивті ақ гаусстық шу және көпсәулелі таралу жағдайларында тұрақты жұмыс істейтінін көрсетті. Атап айтқанда, бастапқы қателік ықтималдығы  $P_0 \approx 0,007$  болған кезде декодтау нәтижесіндегі биттік

қателік ықтималдығы  $BER \approx 10^{-8}$  деңгейіне дейін төмендейтіні анықталды. Бұл көрсеткіш салыстырмалы түрде аз итерациялар саны кезінде ( $K = 20$ ) қол жеткізілді, яғни алгоритмнің жылдам жинақталу қасиеті бар екенін дәлелдейді.

Итеративті декодтау процесінде шекті мәндердің итерациялар бойынша сатылы түрде өзгеруі қателерді түзетудің бейімделмелі стратегиясын жүзеге асыруға мүмкіндік береді. Алғашқы итерацияларда жоғары шекті мәндерді қолдану айқын қателерді жылдам жоюды қамтамасыз етсе, кейінгі итерацияларда шекті мәндердің төмендеуі қалдық қателерді тиімді түрде түзетуге ықпал етеді. Мұндай тәсіл декодтау процесінің тұрақты жинақталуын қамтамасыз етіп, нақты уақыт режимінде жұмыс істеуге қолайлы жағдай жасайды.

Ұсынылған аппараттық шешімнің артықшылықтарын бағалау мақсатында LDPC және Turbo-кодтармен салыстырмалы талдау жүргізілді. Нәтижелер көрсеткендей, көпшекті шекті декодтау әдісі қажетті түзету сапасына әлдеқайда аз итерациялар санында қол жеткізеді және FPGA логикалық ресурстарын шамамен 40% ғана пайдаланады. Сонымен қатар, қуат тұтыну деңгейінің төмен болуы бұл әдісті төмен қуатты радиобайланыс жүйелері мен IoT құрылғылары үшін перспективті шешім ретінде қарастыруға мүмкіндік береді.

Қарастырылған архитектура регистрлік-логикалық құрылымдарға және XOR-операцияларына негізделгендіктен, блок ұзындығын ұлғайту ( $N > 400$ ) кезінде модульдік масштабталу мүмкіндігі сақталады. Алайда  $N$  артқан сайын жады көлемі мен синдром есептеу торабының күрделілігі өсетіндіктен, жоғары дерек жылдамдықтарын қамтамасыз ету үшін параллель өңдеу (pipeline) және бірнеше блокты қатар өңдеу (multi-instance) тәсілдері қолданылуы мүмкін. Сонымен қатар, шекті мәндердің ( $T_k$ ) бейімделмелі стратегиясын арна күйіне тәуелді түрде динамикалық таңдауға мүмкіндік бар.

Жалпы алғанда, жүргізілген зерттеулер көпшекті шекті декодтау алгоритмдерінің радиобайланыс арналары үшін тиімді, ресурстық үнемді және нақты уақыт режимінде іске асырылуға жарамды екенін көрсетті. Алынған нәтижелер ұсынылған әдістің практикалық маңыздылығын дәлелдеп, оны ендірілген жүйелерде, төмен қуатты байланыс құрылғыларында және болашақ телекоммуникациялық жүйелерде қолдануға негіз болады.

### Әдебиеттер тізімі

1. Darghouthi, A., Khlifi, A. & Chibani, B. (2021). Performance analysis of 5G waveforms over fading environments. *International Wireless Communications and Mobile Computing (IWCMC)*; Harbin City, China; 28 June-2 July 2021; 2182–2187. DOI: <https://doi.org/10.1109/IWCMC51323.2021.9498589>.
2. Alsabah M., Naser M. A., Mahmmud B. M., Abdhussain S. H., Eissa M. R., Al-Baidhani A., Noordin N. K., Sait S. M., Al-Utaibi K. A., Hashim F. (2021). 6G wireless communications networks: A comprehensive survey. *IEEE Access*; Vol. 9; 148191–148243. DOI: <https://doi.org/10.1109/ACCESS.2021.3124812>.
3. Molisch A. F. (2022). *Wireless Communications: From Fundamentals to Beyond 5G*. 3rd ed.; Chichester, UK: John Wiley & Sons; 19–22.
4. Viana J., Madeira J., Sebastião P., Cercas F., Mihovska A., Dinis R. (2022). Increasing reliability on UAV fading scenarios. *IEEE Access*; Vol. 10; 30959–30973. DOI: <https://doi.org/10.1109/ACCESS.2022.3149588>.
5. Tran-Thi B. N., Huynh T.-N., Nguyen T.-T., Le H. T., Pham V. A. (2023). An Efficient QC-LDPC Decoder Architecture for 5G-NR. *Electronics*; Vol. 12, No. 17; Art. no. 3667. DOI: <https://doi.org/10.3390/electronics12173667>.
6. Zolotarev V. V., Ovechkin G. V., Satybalдина D., Sailaukyzy Zh. (2021). New concatenation schemes based on the multithreshold decoders of convolutional self-orthogonal codes for Gaussian channels. *Eurasian Journal of Mathematical and Computer Applications*; Astana; Vol. 9, Issue 4; 51–62. DOI: <https://doi.org/10.32523/2306-6172-2021-9-4-51-62>

7. Sailaukyzy Zh., Satybaldina D., Danenova G., Kokkoz M., Tashatov N. (2023). Design of Majority Decoded Codes and Decoding Algorithm Based on Error Propagation Analysis. Proceedings of ISAS 2023; 2023. DOI: <https://doi.org/10.1109/ISAS60782.2023.10391304>.

8. Tashatov N., Ovechkin G., Sailaukyzy Zh., Egamberdiyev E., Satybaldina D., Danenova G., Khassenova Z. (2025). Performance Evaluation of Software Multi-Threshold Decoders for Self-Orthogonal Codes in Modern Broadband Wireless Communication Systems. International Journal of Advanced Computer Science and Applications (IJACSA); Vol. 16, No. 11; 314–322. DOI: <https://doi.org/10.14569/IJACSA.2025.0161134>

9. Roberts M. K., Anguraj P. (2021). A comparative review of recent advances in decoding algorithms for Low-Density Parity-Check (LDPC) codes and their applications // Archives of Computational Methods in Engineering. - Vol. 28, No. 4. - P. 2225–2251. DOI: <https://doi.org/10.18280/isi.280501>

10. Suárez D., Fernández V., Posadas H., Sánchez P. (2023). Accelerating the verification of forward error correction decoders by PCIe FPGA cards // IEEE Embedded Systems Letters. – Vol. 15. – No. 3. – P. 157–160. DOI: <https://doi.org/10.1109/LES.2022.3218289>.

### References

1. Darghouthi, A., Khelifi, A. & Chibani, B. (2021). Performance analysis of 5G waveforms over fading environments. International Wireless Communications and Mobile Computing (IWCMC); Harbin City, China; 28 June-2 July 2021; 2182–2187. DOI: <https://doi.org/10.1109/IWCMC51323.2021.9498589>.

2. Alsabah M., Naser M. A., Mahmmud B. M., Abdhussain S. H., Eissa M. R., Al-Baidhani A., Noordin N. K., Sait S. M., Al-Utaibi K. A., Hashim F. (2021). 6G wireless communications networks: A comprehensive survey. IEEE Access; Vol. 9; 148191–148243. DOI: <https://doi.org/10.1109/ACCESS.2021.3124812>.

3. Molisch A. F. (2022). Wireless Communications: From Fundamentals to Beyond 5G. 3rd ed.; Chichester, UK: John Wiley & Sons; 19–22.

4. Viana J., Madeira J., Sebastião P., Cercas F., Mihovska A., Dinis R. (2022). Increasing reliability on UAV fading scenarios. IEEE Access; Vol. 10; 30959–30973. DOI: <https://doi.org/10.1109/ACCESS.2022.3149588>.

5. Tran-Thi B. N., Huynh T.-N., Nguyen T.-T., Le H. T., Pham V. A. (2023). An Efficient QC-LDPC Decoder Architecture for 5G-NR. Electronics; Vol. 12, No. 17; Art. no. 3667. DOI: <https://doi.org/10.3390/electronics12173667>.

6. Zolotarev V. V., Ovechkin G. V., Satybaldina D., Sailaukyzy Zh. (2021). New concatenation schemes based on the multithreshold decoders of convolutional self-orthogonal codes for Gaussian channels. Eurasian Journal of Mathematical and Computer Applications; Astana; Vol. 9, Issue 4; 51–62. DOI: <https://doi.org/10.32523/2306-6172-2021-9-4-51-62>

7. Sailaukyzy Zh., Satybaldina D., Danenova G., Kokkoz M., Tashatov N. (2023). Design of Majority Decoded Codes and Decoding Algorithm Based on Error Propagation Analysis. Proceedings of ISAS 2023; 2023. DOI: <https://doi.org/10.1109/ISAS60782.2023.10391304>.

8. Tashatov N., Ovechkin G., Sailaukyzy Zh., Egamberdiyev E., Satybaldina D., Danenova G., Khassenova Z. (2025). Performance Evaluation of Software Multi-Threshold Decoders for Self-Orthogonal Codes in Modern Broadband Wireless Communication Systems. International Journal of Advanced Computer Science and Applications (IJACSA); Vol. 16, No. 11; 314–322. DOI: <https://doi.org/10.14569/IJACSA.2025.0161134>

9. Roberts M. K., Anguraj P. (2021). A comparative review of recent advances in decoding algorithms for Low-Density Parity-Check (LDPC) codes and their applications // Archives of Computational Methods in Engineering. - Vol. 28, No. 4. - P. 2225–2251. DOI: <https://doi.org/10.18280/isi.280501>

10. Suárez D., Fernández V., Posadas H., Sánchez P. (2023). Accelerating the verification of forward error correction decoders by PCIe FPGA cards // IEEE Embedded Systems Letters. – Vol. 15. – No. 3. – P. 157–160. DOI: <https://doi.org/10.1109/LES.2022.3218289>.

## АППАРАТНАЯ РЕАЛИЗАЦИЯ И АНАЛИЗ АЛГОРИТМОВ МНОГОПороГОВОГО ДЕКОДИРОВАНИЯ В РАДИОСИСТЕМАХ

**Аннотация.** Надёжность передачи информации в радиосистемах напрямую зависит от эффективности используемых алгоритмов коррекции ошибок. В условиях ограниченных аппаратных ресурсов и требований к работе в реальном времени особую актуальность приобретают методы декодирования с низкой вычислительной сложностью и малым энергопотреблением. Одним из таких подходов является многошаговый пороговый декодер.

Целью статьи является исследование и анализ аппаратной реализации алгоритмов многошагового порогового декодирования для радиоканалов связи. В качестве объекта исследования рассматривается система коррекции ошибок, включающая кодер и декодер, реализованные на программируемой логической интегральной схеме. В работе использованы методы аппаратного моделирования, экспериментального тестирования и сравнительного анализа.

Аппаратная реализация алгоритма выполнена на FPGA Altera Cyclone IV EP4CE6E22C8N и проверена в лабораторных условиях. Экспериментальные результаты показали, что при 20 итерациях вероятность ошибки снижается до уровня  $10^{-8}$ . Сравнение с LDPC и Turbo-кодами продемонстрировало снижение использования ресурсов FPGA примерно на 40%, а также уменьшение энергопотребления.

Полученные результаты подтверждают, что многошаговый пороговый метод декодирования является эффективной альтернативой существующим алгоритмам и может успешно применяться в низкоэнергетических и реальном времени радиосистемах. Представленный подход обеспечивает баланс между надёжностью передачи данных и аппаратной сложностью реализации.

**Ключевые слова:** декодирование, канальное кодирование, многопороговое декодирование, помехоустойчивое кодирование, программируемые логические интегральные схемы, FPGA, радиосвязь, телекоммуникации

## HARDWARE IMPLEMENTATION AND ANALYSIS OF MULTITHRESHOLD DECODING ALGORITHMS IN RADIO COMMUNICATION SYSTEMS

**Abstract.** Reliable data transmission in radio communication systems largely depends on the efficiency of error correction algorithms. For low-power and real-time radio systems, the use of decoding methods with reduced computational complexity and optimized hardware resource utilization is of particular importance. In this context, multi-threshold decoding algorithms represent a promising alternative to conventional iterative decoding techniques.

The purpose of this paper is to investigate and analyze the hardware implementation of multi-threshold decoding algorithms for radio communication channels. The object of the study is an error correction system comprising encoder and decoder units implemented on a programmable logic device. The research methodology includes hardware modeling, experimental verification, and comparative performance analysis.

The proposed multi-threshold decoding algorithm was implemented on an Altera Cyclone IV EP4CE6E22C8N FPGA platform and tested under laboratory conditions. Experimental results demonstrate that after 20 iterations, the bit error probability is reduced to the level of  $10^{-8}$ . A comparative analysis with LDPC and Turbo codes shows that the proposed solution requires approximately 40% fewer FPGA resources and achieves lower power consumption.

*The obtained results confirm that multi-threshold decoding is an efficient and resource-saving solution for modern radio communication systems. The proposed approach is well suited for low-power and real-time applications, providing a favorable balance between decoding performance and hardware complexity.*

**Keywords:** *decoding, channel coding, multi-threshold decoding, error control coding, programmable logic integrated circuits, FPGA, radio communication, telecommunications*

#### Авторлар туралы мәлімет

Несипқалиев Ұлан Еренғалиұлы	Басқарма мүшесі-стратегиялық даму жөніндегі Проректор, Д.Серікбаев атындағы Шығыс Қазақстан техникалық университеті, Өскемен қ., Қазақстан E-mail: <a href="mailto:unessipkaliyev@edu.ektu.kz">unessipkaliyev@edu.ektu.kz</a>
Сайлауқызы Жұлдыз	PhD, қауымдастырылған профессор (доцент), Әбілқас Сағынов атындағы Қарағанды техникалық университеті, Қарағанды қ., Қазақстан E-mail: <a href="mailto:zhuldysailaukyzy@gmail.com">zhuldysailaukyzy@gmail.com</a>
Хасенова Зарина Толеубековна	PhD, Цифрлық технологиялар және жасанды интеллект мектебінің деканы, Д.Серікбаев атындағы Шығыс Қазақстан техникалық университеті, Өскемен қ., Қазақстан, E-mail: <a href="mailto:zkhasenova@edu.ektu.kz">zkhasenova@edu.ektu.kz</a>
Бигалиева. Альфия Замировна	PhD, қауымдастырылған профессор (доцент), Әбілқас Сағынов атындағы Қарағанды техникалық университеті, Қарағанды қ., Қазақстан E-mail: <a href="mailto:bigalievaaalfija@gmail.com">bigalievaaalfija@gmail.com</a>
Хамитов Дамир Раджанұлы	Магистрант, Әбілқас Сағынов атындағы Қарағанды техникалық университеті, Қарағанды қ., Қазақстан, E-mail: <a href="mailto:Hamitov.damir3101@icloud.com">Hamitov.damir3101@icloud.com</a>

#### Сведение об авторах

Несипқалиев Улан Еренғалиевич	Член Правления-Проректор по стратегическому развитию, Восточно-Казахстанский технический университет имени Д. Серикбаева, г. Усть-Каменогорск, Казахстан, E-mail: <a href="mailto:unessipkaliyev@edu.ektu.kz">unessipkaliyev@edu.ektu.kz</a>
Сайлауқызы Жұлдыз	PhD, ассоциированный профессор (доцент), Карагандинский технический университет имени Абылкаса Сагинова, г. Караганда, Казахстан E-mail: <a href="mailto:zhuldysailaukyzy@gmail.com">zhuldysailaukyzy@gmail.com</a>
Хасенова Зарина Толеубековна	PhD, декан Школы цифровых технологий и искусственного интеллекта, Восточно-Казахстанский технический университет имени Д. Серикбаева, Усть-Каменогорск, Казахстан, E-mail: <a href="mailto:zkhasenova@edu.ektu.kz">zkhasenova@edu.ektu.kz</a>
Бигалиева. Альфия Замировна	PhD, ассоциированный профессор (доцент), Карагандинский технический университет имени Абылкаса Сагинова, г. Караганда, Казахстан E-mail: <a href="mailto:bigalievaaalfija@gmail.com">bigalievaaalfija@gmail.com</a>
Хамитов Дамир Раджанович	Магистрант, Карагандинский технический университет имени Абылкаса Сагинова, г. Караганда, Казахстан, E-mail: <a href="mailto:Hamitov.damir3101@icloud.com">Hamitov.damir3101@icloud.com</a>

#### Information about the authors

Nessipkaliyev Ulan Erengalievich	Member of the board-Vice Rector for Strategic Development, D. Serikbayev East Kazakhstan Technical University, Ust-Kamenogorsk, Kazakhstan E-mail: <a href="mailto:unessipkaliyev@edu.ektu.kz">unessipkaliyev@edu.ektu.kz</a>
Sailaukyzy Zhuldyz	PhD, Associate Professor, Abylkaas Saginov Karaganda technical university, Karaganda, Kazakhstan, E-mail: <a href="mailto:zhuldysailaukyzy@gmail.com">zhuldysailaukyzy@gmail.com</a>
Khassenova Zarina Toleubekovna	PhD, Dean of the School of Digital Technologies and Artificial Intelligence, D. Serikbayev East Kazakhstan Technical University, Ust-Kamenogorsk, Kazakhstan E-mail: <a href="mailto:zkhasenova@edu.ektu.kz">zkhasenova@edu.ektu.kz</a>
Bigaliyeva Alfiya Zamirovna	PhD, Associate Professor, Abylkaas Saginov Karaganda technical university, Karaganda, Kazakhstan, E-mail: <a href="mailto:bigalievaaalfija@gmail.com">bigalievaaalfija@gmail.com</a>
Khamitov Damir Radzhanovich	Master's student, Abylkaas Saginov Karaganda technical university, Karaganda, Kazakhstan, E-mail: <a href="mailto:Hamitov.damir3101@icloud.com">Hamitov.damir3101@icloud.com</a>